

PAT-NO: JP361101061A
DOCUMENT-IDENTIFIER: JP 61101061 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: May 19, 1986

INVENTOR-INFORMATION:
NAME
ITO, MIKIHICO

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP59222157
APPL-DATE: October 24, 1984

INT-CL (IPC): H01L023/48, H05K001/18
US-CL-CURRENT: 257/696, 257/E23.067 , 257/E23.189

ABSTRACT:

PURPOSE: To enlarge the contact space between the mounting plane of substrate and solder in case of actual mounting assuring direct mounting on the substrate without forming a hole at all by a method wherein the actual mounting space is enlarged by means of bending the ends of pins for mounting the substrate.

CONSTITUTION: A pellet 3 is mounted on the central surface of substrate 2 made of alumina utilizing a bonding agent 4 comprising gold-silicon eutectic while bonding pads 5 are formed on the pellet 3. The

bonding pads 5 are electrically connected to metallized layers 6 formed on the substrate 2 using wires 7 made of gold, etc. Besides, multiple pins 8 for mounting substrate 2 electrically connected to the metallized layers 6 are fixed on the backside of substrate 2 while the ends of pins 8 are bent to sufficiently enlarge the mounting space on the substrate 2.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-101061

⑤ Int. Cl.⁴

H 01 L 23/48
H 05 K 1/18

識別記号

庁内整理番号

7357-5F
6736-5F

④ 公開 昭和61年(1986)5月19日

審査請求 未請求 発明の数 1 (全3頁)

④ 発明の名称 半導体装置

② 特 願 昭59-222157

② 出 願 昭59(1984)10月24日

⑦ 発 明 者 伊 藤 幹 彦 小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 外部電極としてピンを有する半導体装置であって、ピン先端が実装面積を大とした形状となっていることを特徴とする半導体装置。

2. ピン先端が屈曲部を有することを特徴とする特許請求の範囲第1項記載の半導体装置。

3. ピン先端に大径部が形成されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 半導体装置がセラミックパッケージからなることを特徴とする特許請求の範囲第1項、第2項または第3項記載の半導体装置。

記載の半導体装置。

5. 半導体装置がプラスチックパッケージからなることを特徴とする特許請求の範囲第1項、第2項または第3項記載の半導体装置。

発明の詳細な説明

[技術分野]

本発明は半導体装置、特に高集積化した半導体

装置の基板実装に適用して有効な技術に関するものである。

[背景技術]

電子機器の小型化の傾向から、半導体装置にも高集積化が要求されているが、かかる要求に応じる半導体装置として、たとえばピングリッドアレイ型パッケージからなる半導体装置が知られている。

このピングリッドアレイ型の半導体装置はセラミックまたはプラスチックのパッケージの裏面にマトリックス状にピンを取付けた構造を有しており、外部電極が数多く確保できる点から、高集積化に適したパッケージのひとつとして考えられているものである。

しかし、ピングリッドアレイ型の半導体装置は前記のように外部電極がピンで構成されているため、基板実装の際は、ピンに対応するホールを形成した基板にピンを挿入してハンダ付けするか、もしくはソケットを介して基板に実装する等、実装方法が限られており、フラットパッケージ等の

他の種類の半導体装置に比べて実装の自由度が小さい。

特にセラミックからなる基板にビングリッドアレイ型の半導体装置を実装する場合等には実装基板のホール形成において複雑な工程を経なければならず、実装基板の製造自体にも高度な技術が必要となってくる。

そのため、ビングリッドアレイ型の半導体装置を、実装基板に直接ハンダで取付ける、いわゆる面付け実装法をとることも考えられる。

しかし、このような実装を行った場合、ピンの先端とハンダとの接触面積が小さいために、電気的接続が良好に行えないことが本発明者によって明らかにされた。

なお、ビングリッドアレイ型の半導体装置の実装技術として詳しく述べてある例としては、株式会社サイエンスフォーラム、昭和58年11月28日発行「超LSIデバイスハンドブック」、P 228～P 229がある。

[発明の目的]

3

剤4で取付けられており、該ベレット4上にはボンディングパッド5が形成され、このボンディングパッド5と基板2上に形成されているメタライズ6とは金等のワイヤ7で電気的に接続されている。

また、基板2の裏面にはメタライズと電気的に接続されている多数の基板装着用ピン8が取付けられ、該基板装着用ピン8の先端はピンが屈曲され、基板2への実装面積を十分大きくした形状となっている。

なお、基板2の表面の周囲にはアルミナからなるキャップ10が低融点ガラス9により取付けられ、ベレット3等を気密封止している。

このように本実施例によれば、基板装着用ピン8の先端が屈曲された形状となっているため、実装の際に基板2の実装面およびハンダとの接触面積を多く確保でき、実装基板にホールを形成することなく直接実装することが可能となる。

[実施例2]

第2図は本発明による他の実施例である半導体

5

本発明の目的は高集積化した半導体装置の基板への実装を容易に行うことのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

[発明の概要]

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。

すなわち、ピン先端の実装面積を大とすることによって実装基板にホールを形成することなく半導体装置の実装が可能となり、前記目的を達成するものである。

[実施例1]

第1図は本発明による一実施例である半導体装置を示す断面図である。

本実施例による半導体装置1はセラミックパッケージからなるビングリッドアレイ型の半導体装置であって、アルミナからなる基板2の表面中央にはベレット3が金-シリコン共晶からなる接合

4

装置を示す断面図である。

本実施例による半導体装置21はプラスチックパッケージからなるビングリッドアレイ型の半導体装置であって、プラスチックからなる基板22の表面中央に形成されたキャビティの底部にはベレット23が銀ペースト等のろう材24で取付けられており、該ベレット23上に形成されたボンディングパッド25と該基板22上に形成されているメタライズ26とは金等のワイヤ27で電気的に接続されている。

また、基板22の裏面にはメタライズ26と電気的に接続されている多数の基板装着用ピン28が取付けられており、該基板装着用ピン28の先端はピンの径が大径となっている。

なお、基板22の表面の周囲にはシリコン系の接着剤29aを介してダム30が取付けられており、該ダム30に囲まれたキャビティ内部にはシリコンゲル31がポッティングされている。

さらに、ダム30上にはアルミニウムからなるキャップ32がシリコン系の接着剤29bによ

6

って取付けられ、内部が封止されている。

このように、本実施例によれば、基板装用ピン28の先端の径が大径となっているため、実装基板上の電極部とピン28との接触面積が大きく、したがってハンダ等を用いた電気的接続をより確実に行うことができる。

〔効果〕

- (1)、外部電極としてピンを有する半導体装置であって、ピン先端の実装面積を大とすることにより、実装基板にホールを形成することなく実装可能な半導体装置を提供することができる。
- (2)、ピン先端に屈曲部を形成することによって従来の製造工程にわずかな工程を付加するのみで、ホールを有しない実装基板にも装着可能な半導体装置を提供することができる。
- (3)、ピン先端に大径部を形成することによってホールを有しない実装基板であっても電気的接続を確実に行うことのできる半導体装置を提供することができる。
- (4)、前記(1)、(2)、および(3)より、基板実装の効率

を向上させ、低コストで信頼性の高い電子機器を提供することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、実施例ではピングリッドアレイ型の半導体装置としてセラミックパッケージからなるものとプラスチックパッケージからなるものについて説明したが、外部電極としてピンを用いるものであればいかなる型の半導体装置であってもよい。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である、いわゆる半導体装置に適用した場合について説明したが、これに限定されるものではなく、たとえばトランジスタ、ダイオード等外部電極としてピンリードを有する電子部品に適用しても有効な技術

7

に関するものである。

図面の簡単な説明

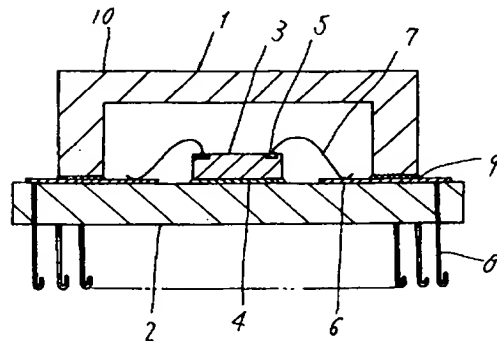
第1図は本発明による実施例1である半導体装置を示す断面図、

第2図は本発明による実施例2である半導体装置を示す断面図である。

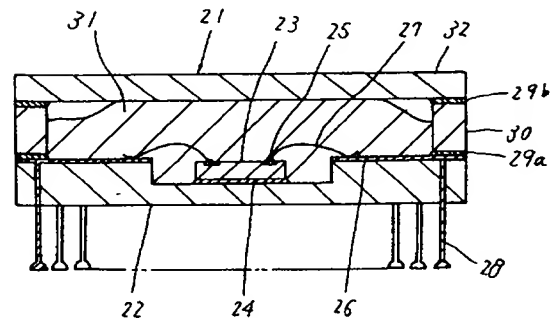
1・・・半導体装置、2・・・基板、3・・・ペレット、4・・・接合剤、5・・・ボンディングパッド、6・・・メタライズ、7・・・ワイヤ、8・・・基板装着用ピン、9・・・低融点ガラス、10・・・キャップ、21・・・半導体装置、22・・・基板、23・・・ペレット、24・・・ろう材、25・・・ボンディングパッド、26・・・メタライズ、27・・・ワイヤ、28・・・基板装着用ピン、29a、29b・・・接着剤、30・・・ダム、31・・・シリコンゲル、32・・・キャップ。

8

第 1 図



第 2 図



代理人 弁理士 高橋明夫